

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111420
(43)Date of publication of application : 20.04.2001

(51)Int.CI. H03L 7/18
H03L 7/10
H04B 7/26

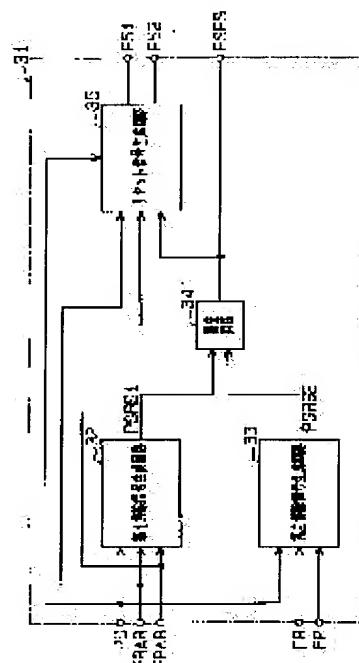
(21)Application number : 11-283076 (71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD
(22)Date of filing : 04.10.1999 (72)Inventor : AISAKA TETSUYA

(54) INTERMITTENT OPERATION CONTROL CIRCUIT FOR PLL SYNTHESIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL synthesizer intermittent operation control circuit capable of quickly driving an internal circuit after resetting a power saving state.

SOLUTION: When a phase difference between a reference signal FRAR and a comparing signal FPAR falls within prescribed time, a 1st reset signal generation circuit 32 in the intermittent operation control circuit 31 generates a 1st internal power save reset signal PSRS1. A 2nd reset signal generation circuit 33 detects the output signal of a comparing frequency divider 22 or a reference frequency divider 23 and generates a 2nd internal power save reset signal PSRS2. A priority circuit 34 gives priority to an earlier signal out of the 1st and 2nd internal power save reset signals PSRS1, PSRS2 and generates a power save reset signal PSRS for resetting the power saving state of the internal circuit by the priority signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-111420

(P2001-111420A)

(43)公開日 平成13年4月20日 (2001.4.20)

(51)Int.Cl.⁷

H 03 L 7/18
7/10
H 04 B 7/26

識別記号

F I

H 03 L 7/18
7/10
H 04 B 7/26

テマコード(参考)

Z 5 J 1 0 6
A 5 K 0 6 7
X

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号

特願平11-283076

(22)出願日

平成11年10月4日 (1999.10.4)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 相坂 哲也

愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74)代理人 100068755

弁理士 恩田 博宣 (外1名)

最終頁に続く

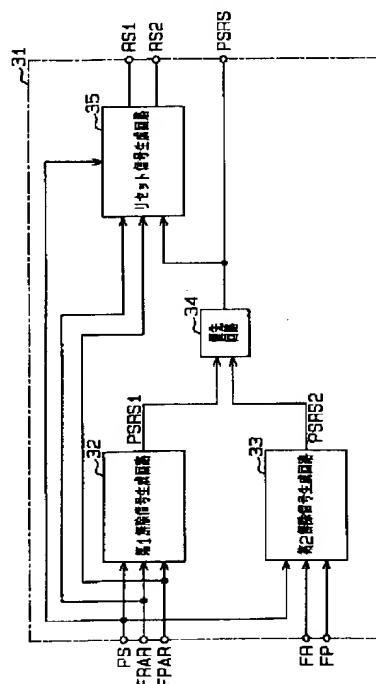
(54)【発明の名称】 P L L シンセサイザの間欠動作制御回路

(57)【要約】

【課題】パワーセーブ解除後に内部回路を速やかに動作させることのできるPLLシンセサイザの間欠動作制御回路を提供すること。

【解決手段】間欠動作制御回路31の第1解除信号生成回路32は、基準信号F R A Rと比較信号F P A Rの位相差が所定の時間内に入った場合に第1内部パワーセーブ解除信号P S R S 1を生成する。第2解除信号生成回路33は、比較分周器22又は基準分周器23の出力信号を検出して、第2内部パワーセーブ解除信号P S R S 2を生成する。優先回路34は、第2解除信号生成回路33と、第1及び第2内部パワーセーブ解除信号P S R S 1、P S R S 2の早いほうを優先し、その優先信号にて内部回路のパワーセーブ状態を解除するパワーセーブ解除信号P S R Sを生成する。

第一実施形態の間欠動作制御回路のブロック図



【特許請求の範囲】

【請求項1】 基準信号を分周する基準分周器からの基準分周信号と比較信号を分周する比較分周器からの比較分周信号の位相を比較する位相比較器を、パワーセーブ信号に応答して間欠動作させるPLLシンセサイザの間欠動作制御回路であって、

前記基準信号と比較信号の位相差が所定の時間内に入った場合に第1内部パワーセーブ解除信号を生成する第1解除信号生成回路と、

前記基準分周信号又は比較分周信号を検出して、第2内部パワーセーブ解除信号を生成する第2解除信号生成回路と、

前記第1及び第2内部パワーセーブ解除信号の早いほうを優先し、その優先信号にて内部回路のパワーセーブ状態を解除するパワーセーブ解除信号を生成する優先回路と、を備えたことを特徴とする間欠動作制御回路。

【請求項2】 前記パワーセーブ解除信号に応答して前記基準分周器及び比較分周器をリセットするリセット信号を生成するリセット信号生成回路を備えた、ことを特徴とする請求項1に記載の間欠動作制御回路。

【請求項3】 前記優先回路に、前記第1内部パワーセーブ解除信号の供給又は停止を切り替える第1スイッチ回路と、

前記優先回路に、前記第2内部パワーセーブ解除信号の供給又は停止を切り替える第2スイッチ回路と、を備えたことを特徴とする請求項1に記載の間欠動作制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はPLLシンセサイザの間欠動作制御回路に関するものである。近年、携帯電話等の移動体通信機器に使用される位同期ループ(PLL:PhaseLocked Loop)を用いた周波数シンセサイザは、回路全体の消費電力を抑えるため、PLLを間欠動作制御しているものが知られている。そして、そのアクセス時間を短縮するためにロックアップ時間を短縮することが要求されている。

【0002】

【従来の技術】 従来、移動体通信機器は、その性格上実際の使用状態(通話時)に比べて遙かに非使用状態(待機時)が長い。その待機時は一定の間隔で制御局と移動体との間で制御通信を行う以外の時間は全く通信は行われない。従って、この待機時において電源をオンし続けていることは無駄な電力を消費していることになる。そこで、待機時においては、システムが必要とする所定の間隔で電源を間欠的に供給して通信機器を間欠動作させることにより消費電力を低減させることができる。そのため、通信機器に組み込まれているPLL周波数シンセサイザも間欠動作させる必要がある。

【0003】 図8は、第一従来例のPLLシンセサイザ

10のブロック回路図である。PLLシンセサイザ10は、バッファ11、プリスケーラ12、基準分周器13、比較分周器14、位相比較器15、チャージポンプ16、ロック検出回路17及び間欠動作制御回路18を含むICと、ローパスフィルタ(LPF)19、及び電圧制御発振器(VCO)20により構成される。

【0004】 PLLシンセサイザ10は、供給されるパワーセーブ信号PSに応答して、その動作状態が使用状態とパワーセーブ状態との間で遷移する。例えば、PLLシンセサイザ10は、Hレベルのパワーセーブ信号PSに応答してパワーセーブ状態から使用状態に遷移し、Lレベルのパワーセーブ信号PSに応答して使用状態からパワーセーブ状態に遷移する。

【0005】 詳述すると、パワーセーブ信号PSはバッファ11、プリスケーラ12及び間欠動作制御回路18に供給される。パワーセーブ信号PSがHレベルの時、バッファ11は発振信号OSCinを増幅した基準信号F R A Rを基準分周器13と間欠動作制御回路18に出力し、プリスケーラ12は入力信号finを分周した比較信号F P A Rを比較分周器14と間欠動作制御回路18に出力する。これにより、PLLシンセサイザ10が作動する。

【0006】 パワーセーブ信号PSがLレベルの時、バッファ11及びプリスケーラ12は入力を遮断する。これにより、バッファ11は増幅動作をせず、プリスケーラ12は分周動作を行わないため、電力消費が使用状態に比べて少なくなる。

【0007】 間欠動作制御回路18は、パワーセーブ信号PSに基づいてパワーセーブ状態から使用状態にその状態が変化した後、基準信号F R A Rと比較信号F P A Rの位相差が所定時間以下になった場合に内部動作を開始するべくパワーセーブ解除信号P S R Sを出力する。詳述すると、間欠動作制御回路18は、Lレベルのパワーセーブ信号PSに応答してLレベルの内部パワーセーブ解除信号P S R Sを内部回路(基準分周器13、比較分周器14、位相比較器15、ロック検出回路17)に出力し、これにより内部回路の動作が行われず、消費電力が少ない。そして、間欠動作制御回路18はパワーセーブ信号PSが立ち上がった後、基準信号F R A Rと比較信号F P A Rの位相差が所定時間以下になったときに内部パワーセーブ解除信号P S R Sを立ち上げる。これにより内部回路が動作を開始する。

【0008】 図9は、第二従来例のPLLシンセサイザ21のブロック回路図である。PLLシンセサイザ21は、バッファ11、プリスケーラ12、基準分周器22、比較分周器23、位相比較器15、チャージポンプ16、ロック検出回路17及び間欠動作制御回路24を含むICと、LPF19及びVCO20とから構成される。

【0009】 このPLLシンセサイザ21では、パワ-

セーブ信号PSがバッファ11、プリスケーラ12、基準分周器22、比較分周器23及び間欠動作制御回路24に供給される。

【0010】間欠動作制御回路24は、基準分周信号FRと比較分周信号FPに基づいてパワーセーブ解除信号PSRSを立ち上げて位相比較器15及びロック検出回路17の動作を開始させ、基準分周信号FR及び比較分周信号FPに基づいて生成した第1及び第2リセット信号RS1, RS2により基準分周器22及び比較分周器23をリセットする。これにより、基準分周信号FRと比較分周信号FPの立ち上がり、即ち位相を一致させることで、ロックまでの時間を短くする。

【0011】

【発明が解決しようとする課題】しかし、第一従来例のPLLシンセサイザ10では、基準信号FRARと比較信号FPARのタイミングによりなかなかパワーセーブ状態が解除されない場合がある。詳述すると、基準信号FRARと比較信号FPARが所定時間以上の位相差を持ち、LPF19の平滑容量が大きくてVCO20からの出力信号fvの周波数変化が少ない場合、図10に示すように、基準信号FRARと比較信号FPARの位相差がある程度の位相差を持ったままの状態が続くため、パワーセーブ信号PSが立ち上がってから間欠動作制御回路18がパワーセーブ解除信号PSRSを立ち上げるまでに多くの時間がかかる、即ちなかなかパワーセーブ状態が解除されず、ロックまでに大幅な時間を要するという問題がある。

【0012】また、第二従来例のPLLシンセサイザ21では、図11に示すように、パワーセーブ状態を解除したときに基準信号FRARと比較信号FPARの位相が合っていても、間欠動作制御回路24は次の基準分周信号FRの立ち上がり、即ち基準分周信号FRの1周期分経過したのちに内部パワーセーブ解除信号PSRSを立ち上げる。更に、その時に基準分周信号FRと比較分周信号FPの位相が合っていても、間欠動作制御回路24は次の基準信号FRAR又は比較信号FPARの立ち上がりに応答してパワーセーブ解除信号PSRSを出力するため、リセット信号RS1, RS2から最大で基準信号FRARの1周期分（比較信号FPARの1周期分）位相をずらして基準分周器22及び比較分周器23の動作が開始されるため、ロックまでに大幅な時間を要するという問題がある。

【0013】本発明は上記問題点を解決するためになされたものであって、その目的はパワーセーブ解除後に内部回路を速やかに動作させることのできるPLLシンセサイザの間欠動作制御回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明によれば、間欠動作制御回路は、基準信号と比較信号の位相差が所定の時間内に入っ

た場合に第1内部パワーセーブ解除信号を生成する第1解除信号生成回路と、前記基準分周信号又は比較分周信号を検出して、第2内部パワーセーブ解除信号を生成する第2解除信号生成回路と、前記第1及び第2内部パワーセーブ解除信号の早いほうを優先し、その優先信号にて内部回路のパワーセーブ状態を解除するパワーセーブ解除信号を生成する優先回路と、を備える。

【0015】また、間欠動作制御回路は、請求項2に記載の発明のように、前記パワーセーブ解除信号に応答して前記基準分周器及び比較分周器をリセットするリセット信号を生成するリセット信号生成回路を備える。

【0016】また、間欠動作制御回路は、請求項3に記載の発明のように、前記優先回路に、前記第1内部パワーセーブ解除信号の供給又は停止を切り替える第1スイッチ回路と、前記優先回路に、前記第2内部パワーセーブ解除信号の供給又は停止を切り替える第2スイッチ回路と、を備える。

【0017】

【発明の実施の形態】（第一実施形態）以下、本発明を具体化した第一実施形態を図1～図6に従って説明する。尚、説明の便宜上、第一及び第二従来例と同様の構成については同一の符号を付して説明する。

【0018】図1は、本実施形態のPLLシンセサイザ30のブロック回路図である。PLLシンセサイザ30は、バッファ11、プリスケーラ12、基準分周器22、比較分周器23、位相比較器15、チャージポンプ16、ロック検出回路17及び間欠動作制御回路31を含むIC化可能な部分と、ローパスフィルタ(LPF)19、電圧制御発振器(VCO)20により構成される。

【0019】バッファ11は、所定の周波数を持つ発振信号OSCinを振幅増幅した基準信号FRARを基準分周器22と間欠動作制御回路31に出力し、基準分周器22は、基準信号FRARを設定分周比にて分周した基準分周信号FRを位相比較器15と間欠動作制御回路31に出力する。

【0020】プリスケーラ12は、入力信号finを固定分周比にて分周した比較信号FPARを比較分周器23と間欠動作制御回路31に出力する。比較分周器23は比較信号FPARを設定分周比にて分周した比較分周信号FPを位相比較器15と間欠動作制御回路31に出力する。

【0021】位相比較器15は基準分周信号FRと比較分周信号FPとの位相を比較し、その比較結果に基づく位相差信号PDをチャージポンプ16とロック検出回路17に出力する。チャージポンプ16は位相差信号PDに基づいた電圧信号D○をLPF19に出力する。

【0022】LPF19は電圧信号D○を平滑することにより高周波成分を除去した制御信号VTをVCO20に出力する。VCO20は制御信号VTの電圧値に応じ

た周波数の出力信号 f_v を外部回路に出力する。この出力信号 f_v は入力信号 f_{in} としてプリスケーラ 12 に帰還される。

【0023】このように構成されたPLLシンセサイザ30は、基準分周信号FRと比較分周信号FPが実質的に同一の位相を持つように動作し、VCO20から出力する出力信号 f_v の周波数を所望の周波数にロックする。

【0024】ロック検出回路17は、位相比較器15から位相差信号PDが入力され、そのロック検出回路17は、位相差信号PDに基づいて出力信号 f_v がロック状態か否かを検出し、その検出結果に応じたレベルを持つロック検出信号LDを出力する。

【0025】PLLシンセサイザ30は、外部から供給されるパワーセーブ信号PSに応答して間欠動作する。このパワーセーブ信号PSは、バッファ11、プリスケーラ12、基準分周器22、比較分周器23及び間欠動作制御回路31に供給される。

【0026】間欠動作制御回路31は、パワーセーブ信号PSに基づいてパワーセーブ状態から使用状態に遷移すると、以下のタイミングで内部パワーセーブ解除信号PSRSを立ち上げる。・基準信号FRARと比較信号FPARの位相差がある一定の時間内に入った時。・比較分周信号FP又は基準分周信号FRを検出した時。

【0027】詳述すると、間欠動作制御回路31は、基準信号FRARと比較信号FPARの位相差がある一定の時間内に入った時に第1内部パワーセーブ解除信号としての第1解除信号を生成する機能、比較分周信号FP又は基準分周信号FRを検出して第2内部パワーセーブ解除信号としての第2解除信号を生成する機能、第1及び第2解除信号のうちの何れか早い方の信号を内部パワーセーブ解除信号PSRSとして出力する機能を持つ。

【0028】従って、基準信号FRARと比較信号FPARが位相差を持った状態でVCO20の出力信号 f_v の周波数が変化しにくい場合、第2解除信号により内部パワーセーブ解除信号PSRSが立ち上がるため、内部回路が動作を開始する。一方、パワーセーブ状態を解除した後、基準信号FRARと比較信号FPARの位相差が所定時間以内に入りていれば、第2解除信号を待つことなく第1解除信号により内部パワーセーブ解除信号PSRSが立ち上がるため、内部回路を動作を開始する。

【0029】即ち、このように構成された間欠動作制御回路31は、第一従来例のPLLシンセサイザ10における問題点と第二従来例のPLLシンセサイザ21における問題点を第1及び第2解除信号に基づく内部パワーセーブ解除信号PSRSにより解決する。これにより、パワーセーブ状態を解除してからロックするまでの時間が短くなる。

【0030】尚、上記のような問題点は、PLLシンセサイザ30を含む携帯機器の仕様(LPF19の容量

値、設定周波数等)により変化するが、上記の間欠動作制御回路31は、これらの変化に対応する、即ち間欠動作制御回路31を含むICは、様々なアプリケーションの機器に用いることができる。

【0031】次に、間欠動作制御回路31の構成を詳述する。図2は、本実施形態の間欠動作制御回路31のブロック回路図である。間欠動作制御回路31は、第1及び第2解除信号生成回路32、33、優先回路34、リセット信号生成回路35を有する。

【0032】第1解除信号生成回路32は、パワーセーブ信号PS、基準信号FRAR及び比較信号FPARに基づいて生成した第1パワーセーブ解除信号PSRS1を優先回路34に出力する。詳述すると、第1解除信号生成回路32は、パワーセーブ信号PSの立ち下がりに応答して第1パワーセーブ解除信号PSRS1を立ち下げ、パワーセーブ信号PSの立ち上がりに応答して基準信号FRARと比較信号FPARの位相差がある一定の時間内に入ると第1パワーセーブ解除信号PSRS1を立ち上げる。

【0033】第2解除信号生成回路33は、パワーセーブ信号PS、基準分周信号FR及び比較分周信号FPに基づいて生成した第2パワーセーブ解除信号PSRS2を優先回路34に出力する。詳述すると、第2解除信号生成回路33は、パワーセーブ信号PSの立ち下がりに応答して第2パワーセーブ解除信号PSRS2を立ち下げ、パワーセーブ信号PSの立ち上がりに応答して基準分周信号FR又は比較分周信号FPを検出して第2パワーセーブ解除信号PSRS2を立ち上げる。

【0034】優先回路34は、第1及び第2解除信号生成回路32、33からの第1及び第2パワーセーブ解除信号PSRS1、PSRS2のうち、立ち上がりの早いほうを選択してそれ優先し、その信号を内部パワーセーブ解除信号PSRSとして出力する。

【0035】リセット信号生成回路35は、パワーセーブ信号PS、内部パワーセーブ解除信号PSRS、基準信号FRAR及び比較信号FPARに基づいて生成した第1及び第2リセット信号RS1、RS2を出力する。

【0036】詳述すると、リセット信号生成回路35は、パワーセーブ信号PSと内部パワーセーブ解除信号PSRSがそれぞれ立ち上がった後、比較信号FPARの立ち上がりに応答してその1周期の間にレベルの第1リセット信号RS1を基準分周器22に出力し、基準信号FRARの立ち上がりに応答してその1周期の間にレベルの第2リセット信号RS2を比較分周器23に出力する。基準分周器22及び比較分周器23は、それぞれ第1及び第2リセット信号RS1、RS2の立ち上がりに応答して動作をリセットする。

【0037】図3は、第1解除信号生成回路32の回路図であり、図4はその動作波形図である。第1解除信号生成回路32は、2入力 NAND 回路41～44、3入力

NAND回路45、インバータ回路46～49、遅延回路50、51、フリップフロップ52、53を含む。

【0038】第1遅延回路50は、 NAND回路41及びインバータ回路46を介して基準信号F R A Rを受け取り、それを第1の所定時間遅延した信号を NAND回路42及びインバータ回路47を介して第1遅延信号C K 1として出力する。第2遅延回路51は、第1遅延信号C K 1を受け取り、それを第2の所定時間遅延した第2遅延信号C K 2を出力する。

【0039】そして、第1解除信号生成回路32は、第1遅延信号C K 1の立ち上がりから第2遅延信号C K 2の立ち上がりまでの期間中の比較信号F P A Rの立ち下がりを、データ入力端子にインバータ回路48を介して比較信号F P A Rを受け取る第1及び第2フリップフロップ52、53及び NAND回路45により検出し、その検出信号S1を NAND回路43、44よりなるラッチ回路にて保持し、そのラッチ信号をインバータ回路49により反転して第1パワーセーブ解除信号P S R S 1を出力する。

【0040】更に、第1解除信号生成回路32は、ラッチ回路を構成する NAND回路44の出力信号（ラッチ信号）を第1遅延回路50の出力信号を受け取る NAND回路42に帰還することで、第1パワーセーブ解除信号P S R S 1を立ち上げた後は第1遅延信号C K 1を立ち下げてこのレベルを保持する。これにより、第1解除信号生成回路32は第1パワーセーブ解除信号P S R S 1をHレベルに保持する。

【0041】図5は、第2解除信号生成回路33、優先回路34及びリセット信号生成回路35の回路図であり、図6はそれらの動作波形図である。第2解除信号生成回路33は、基準分周信号F Rの立ち上がりエッジをカウントする第1及び第2フリップフロップ(F F)61、62、比較分周信号F Pの立ち上がりエッジをカウントする第3及び第4F F 63、64、第2及び第4F F 62、64の出力信号を受け取る NAND回路65、その NAND回路65の出力信号を受け第2パワーセーブ解除信号P S R S 2を出力するインバータ回路66を含む。

【0042】第1及び第2F F 61、62により基準分周信号F Rの2つめのパルスの立ち上がりエッジに応答してHレベルの信号が入力され、第3及び第4F F 63、64により比較分周信号F Pのそれに応答するHレベルの信号が入力される。従って、第2解除信号生成回路33は、基準分周信号F R及び比較分周信号F Pのうちの何れか2つめのパルスが遅く入力される信号に応答して、インバータ回路66の出力信号、即ち第2パワーセーブ解除信号P S R S 2を立ち上げる。

【0043】優先回路34は、第1及び第2パワーセーブ解除信号P S R S 1、P S R S 2を受けるノア回路67と、その出力信号を受け内部パワーセーブ解除信号P

S R S を出力するインバータ回路68を含む。これにより、優先回路34は、論理和演算回路として動作し、第1及び第2パワーセーブ解除信号P S R S 1、P S R S 2のうちの何れか立ち上がりの早い信号を内部パワーセーブ解除信号P S R S として出力する。

【0044】リセット信号生成回路35は、フリップフロップ(F F)69、70、NAND回路71～74、インバータ回路75、76を含む。パワーセーブ信号P Sを受け取る NAND回路73、74は、その立ち上がりに応答して出力信号を立ち上げ、それにより第1及び第2リセット信号R S 1、R S 2が立ち下がる。

【0045】第1及び第2F F 69、70はセット端子に供給される内部パワーセーブ解除信号P S R S が立ち上がった後、それぞれクロック入力端子に供給される基準信号F R A Rと比較信号F P A Rの立ち上がりに応答して出力信号S3、S4を立ち下げる。これにより基準信号F R A Rに基づいて第2リセット信号R S 2が、比較信号F P A Rに基づいて第1リセット信号R S 1が、パワーセーブ信号P S の内部パワーセーブ解除信号P S R S の立ち上がり後に受け取る基準信号F R A Rと比較信号F P A Rの立ち上がりに応答して立ち上がる。

【0046】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 間欠動作制御回路31は、基準信号F R A Rと比較信号F P A Rの位相差が所定の時間内に入った場合に第1内部パワーセーブ解除信号P S R S 1を生成する第1解除信号生成回路32と、比較分周器22又は基準分周器23の出力信号を検出して、第2内部パワーセーブ解除信号P S R S 2を生成する第2解除信号生成回路33と、第1及び第2内部パワーセーブ解除信号P S R S 1、P S R S 2の早いほうを優先し、その優先信号にて内部回路のパワーセーブ状態を解除するパワーセーブ解除信号P S R S を生成する優先回路33と、を備える。この結果、第1又は第2内部パワーセーブ解除信号P S R S 1、P S R S 2のタイミングで内部回路が動作を開始するため、パワーセーブ状態を解除してからロックするまでの時間を短くすることができる。

【0047】(2) 間欠動作制御回路31は、パワーセーブ解除信号P S R S に応答して基準分周器22及び比較分周器23をリセットするリセット信号R S 1、R S 2を生成するリセット信号生成回路35を備える。これにより、パワーセーブ解除信号P S R S に同期して基準分周器22及び比較分周器23が分周動作を開始するため、ロックまでの時間を短くすることができる。

【0048】(第二実施形態)以下、本発明を具体化した第二実施形態を図7に従って説明する。尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0049】図7は、本実施形態の間欠動作制御回路81のブロック回路図である。この間欠動作制御回路81

は、第一実施形態の間欠動作制御回路31に置き換えて使用される。

【0050】間欠動作制御回路81は、第一実施形態の間欠動作制御回路31の構成に加えて、切り替え手段としてのスイッチ回路82, 83を有する。第1スイッチ回路82は、第1解除信号生成回路32と優先回路34の間に挿入接続され、第2スイッチ回路83は、第2解除信号生成回路33と優先回路34の間に挿入接続される。

【0051】第1及び第2スイッチ回路82, 83は、それぞれ第1及び第2解除信号生成回路33, 34に接続される第1可動接点、グランドに接続される第2可動接点、及び優先回路34を構成するノア回路67の入力端子に接続される固定接点を有する。第1及び第2スイッチ回路82, 83は、図示しないレジスタの状態に応じた制御信号又は外部から入力される制御信号に基づいてノア回路67の入力端子を、第1解除信号生成回路33又はグランド、第2解除信号生成回路34又はグランドにそれぞれ接続する。尚、本実施形態で説明する第1及び第2スイッチ回路82, 83は、例えばCMOSトランジスタよりなるスイッチ回路であり、制御信号に基づいてトランジスタをオン・オフ制御することにより、接点切り替えを実現する。

【0052】ノア回路67の入力端子を第1及び第2解除信号生成回路33, 34に接続した場合、本実施形態の間欠動作制御回路81は第一実施形態の制御回路31と実質的に同じ構成を持つ。

【0053】ノア回路67の入力端子を第1解除信号生成回路33とグランドにそれぞれ接続した場合、本実施形態の間欠動作制御回路81は、図8に示す第一従来例の間欠動作制御回路18と実質的に同じ構成を持つ。このような構成を持つ間欠動作制御回路81は、LPF19の容量によってVCO20の出力信号周波数が変化しやすい用途（アプリケーション）に良く適合する。

【0054】また、ノア回路67の入力端子をグランドと第2解除信号生成回路34に接続した場合、間欠動作制御回路81は、図9に示す第二従来例の間欠動作制御回路24と実質的に同じ構成を持つ。このような構成を持つ間欠動作制御回路81は、基準分周信号FRと比較分周信号FPの分周比が小さくパルスの間隔が短い用途に良く適合する。

【0055】そして、必要としない第1又は第2内部パワーセーブ解除信号PSRS1, PSRS2を生成する回路部分の電源供給を停止する。これにより、間欠動作制御回路81の全ての回路部分を動作させる場合に比べて消費電流が少なくなる。

【0056】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 間欠動作制御回路81は、優先回路34に、第1内部パワーセーブ解除信号PSRS1の供給又は停止を

切り替える第1スイッチ回路82と、第2内部パワーセーブ解除信号PSRS2の供給又は停止を切り替える第2スイッチ回路83とを備える。この結果、PLLシンセサイザの仕様用途によって必要な回路部分のみを動作させることで、第一実施形態に比べて消費電流を削減することができる。

【0057】

【発明の効果】以上詳述したように、本発明によれば、パワーセーブ状態を解除してからロックするまでの時間を短くすることが可能なPLLシンセサイザの間欠動作制御回路を提供することができる。

【図面の簡単な説明】

【図1】 第一実施形態のPLLシンセサイザのブロック回路図である。

【図2】 第一実施形態の間欠動作制御回路のブロック回路図である。

【図3】 第1解除信号生成回路の回路図である。

【図4】 第1解除信号生成回路の動作波形図である。

【図5】 第2解除信号生成回路及びリセット信号生成回路の回路図である。

【図6】 第2解除信号生成回路及びリセット信号生成回路の動作波形図である。

【図7】 第二実施形態の間欠動作制御回路の回路図である。

【図8】 第一従来例のPLLシンセサイザのブロック回路図である。

【図9】 第二従来例のPLLシンセサイザのブロック回路図である。

【図10】 第一従来例の問題点を示す波形図である。

【図11】 第二従来例の問題点を示す波形図である。

【符号の説明】

22 基準分周器

23 比較分周器

15 位相比較器

31, 81 間欠動作制御回路

32 第1解除信号生成回路

33 第2解除信号生成回路

34 優先回路

82 第1スイッチ回路

83 第2スイッチ回路

FR 基準分周信号

FP 比較分周信号

FRAR 基準信号

FPAR 比較信号

PS パワーセーブ信号

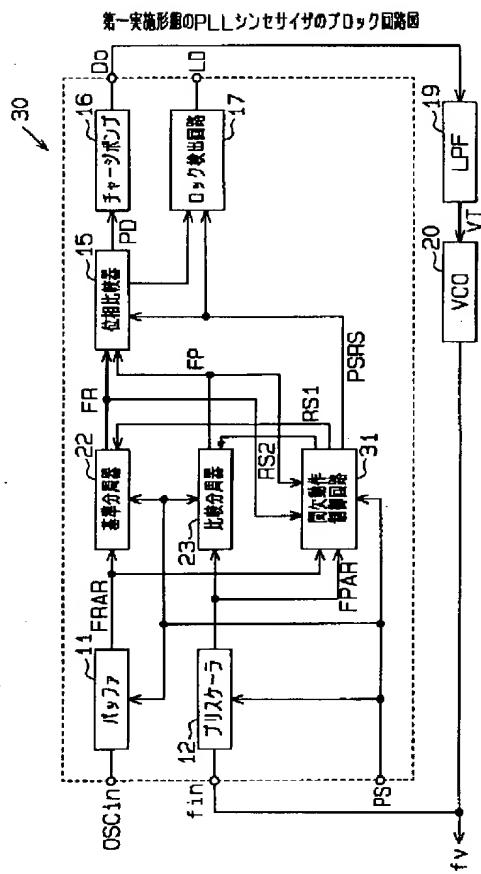
PSRS パワーセーブ解除信号

PSRS1 第1内部パワーセーブ解除信号

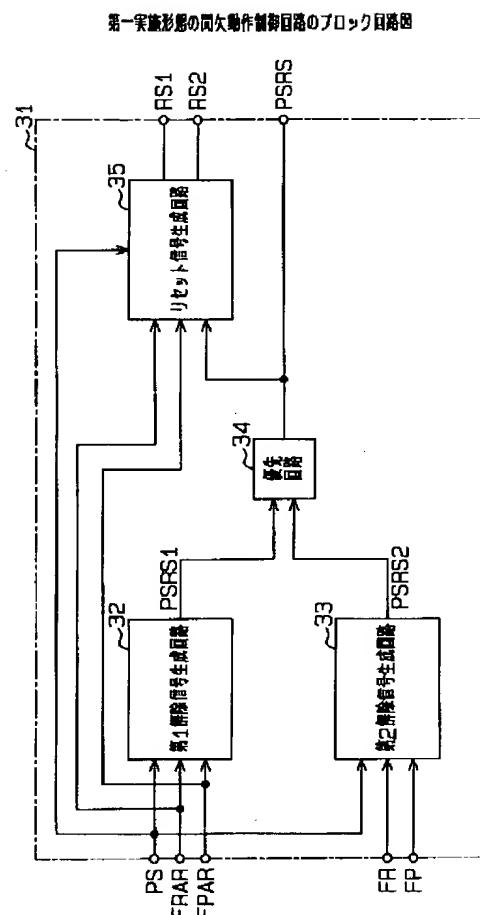
PSRS2 第2内部パワーセーブ解除信号

RS1, RS2 リセット信号

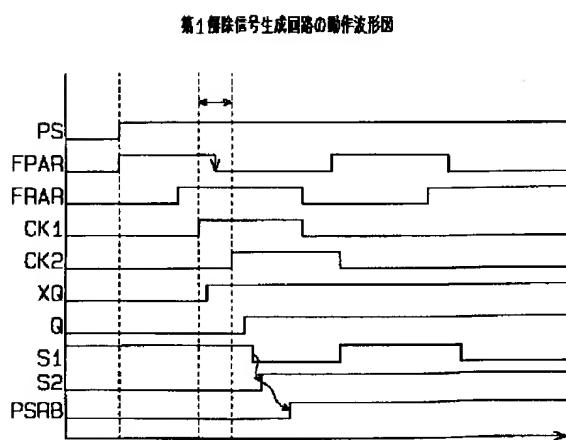
【図1】



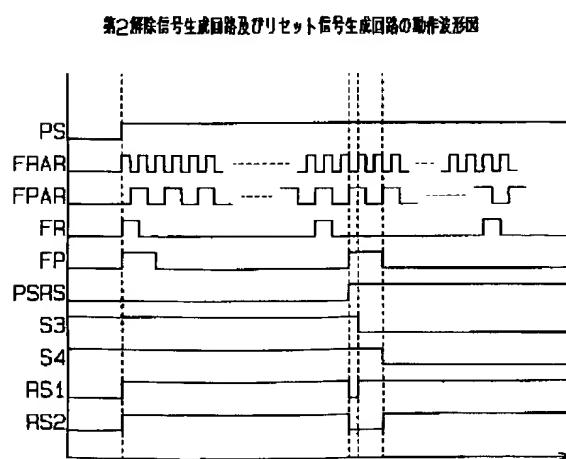
【図2】



【図4】

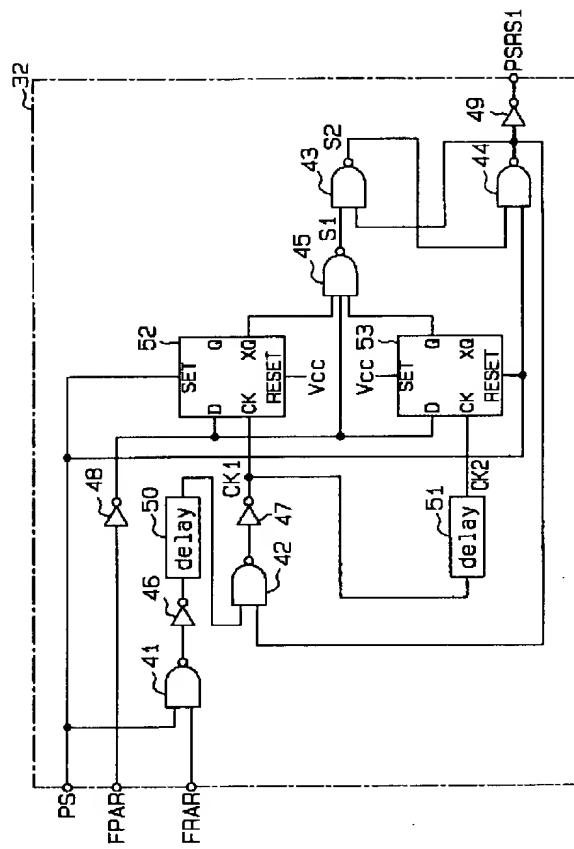


【図6】



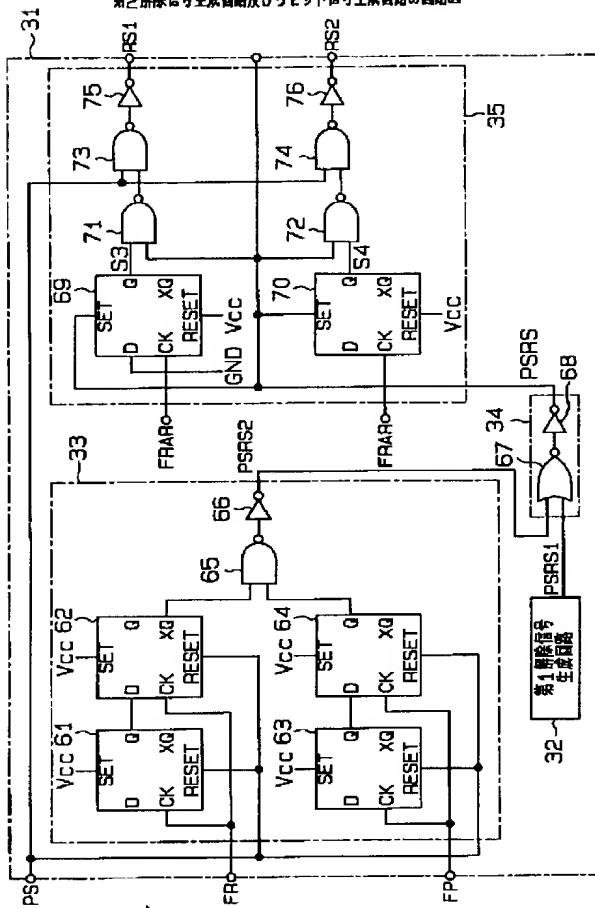
【図3】

第1解除信号生成回路の回路図



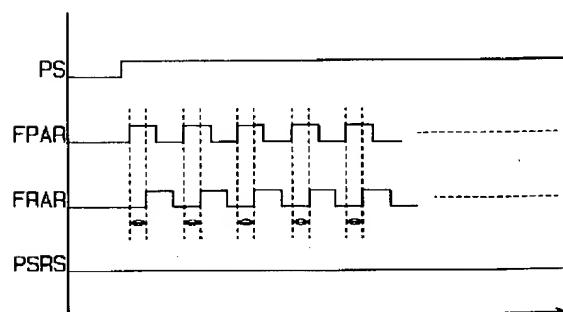
【図5】

第2解除信号生成回路及びリセット信号生成回路の回路図



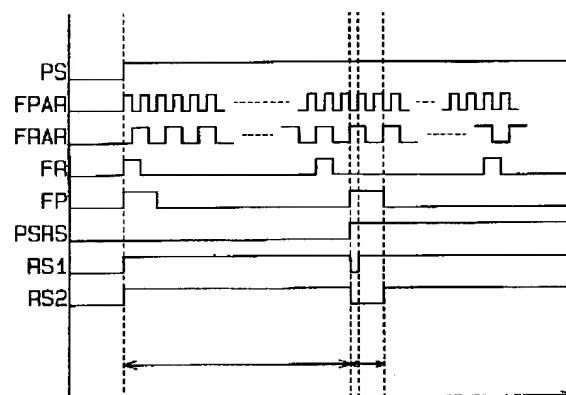
【図10】

第一検索例の問題点を示す波形図

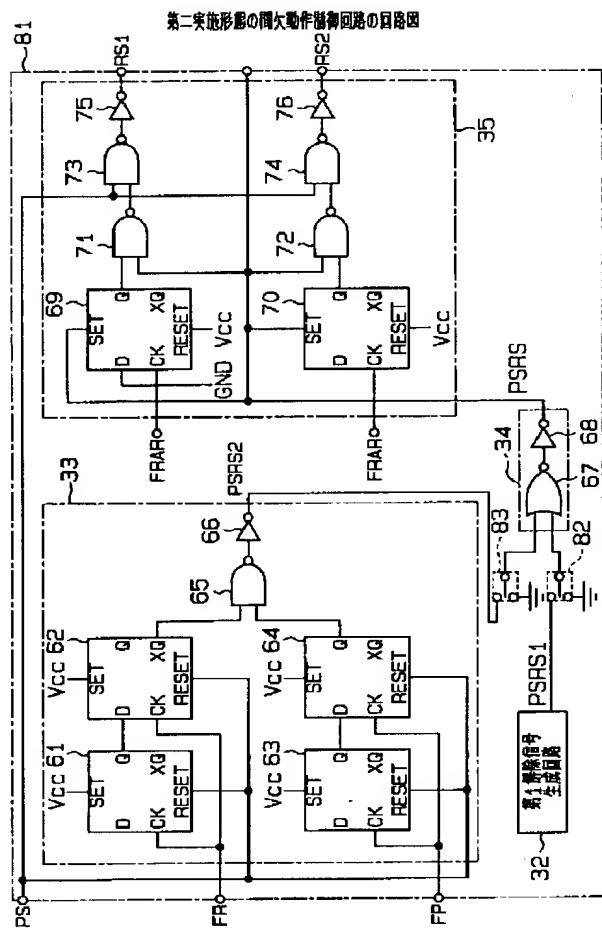


【図11】

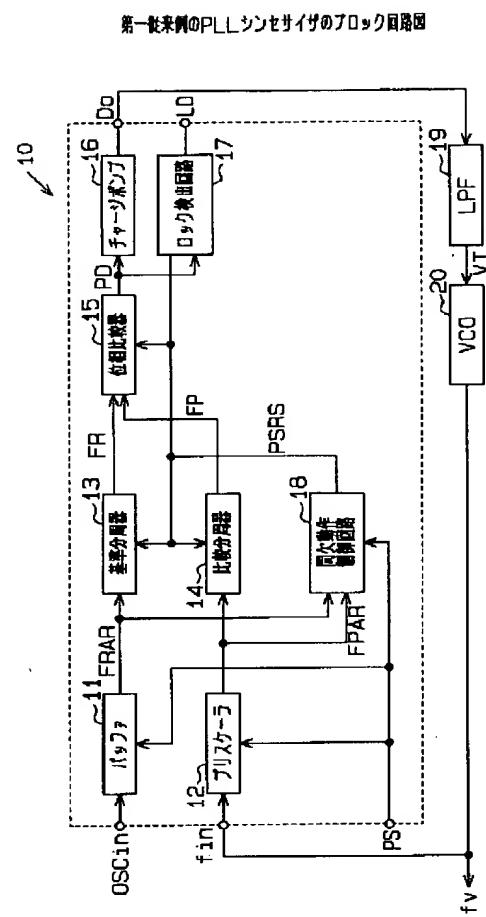
第二検索例の問題点を示す波形図



【図7】

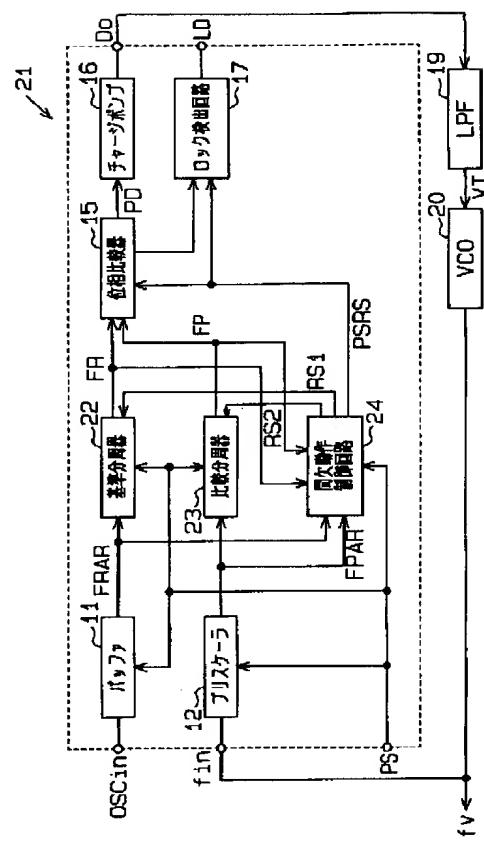


【図8】



【図9】

第二発例のPLLシンセサイザのブロック回路図



フロントページの続き

Fターム(参考) 5J106 CC01 CC24 CC38 CC41 CC52
 CC53 CC58 DD09 DD32 DD42
 DD43 DD48 EE10 GG09 HH09
 KK33 KK40 PP03 QQ09 QQ12
 RR12
 5K067 AA43 BB04 EE02